

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09102457 A**

(43) Date of publication of application: **15.04.97**

(51) Int. Cl.

H01L 21/027
H01L 21/68

(21) Application number: **08138347**

(22) Date of filing: **31.05.96**

(30) Priority: **01.06.95 US 95 457670**

(71) Applicant: **TOSHIBA CORP**

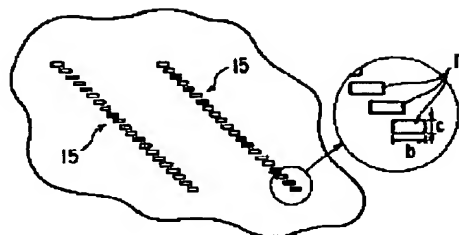
(72) Inventor: **MITSUI TADASHI**
HIEDA KATSUHIKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To surely form an alignment mark which can be detected readily when forming a circuit pattern feature and a photolithograph alignment mark simultaneously on a semiconductor wafer by etching.

SOLUTION: An alignment mark 15 is formed as a complex mark which is constituted of a plurality of small marks 17 and a small mark is well similar to a circuit pattern feature in shape, dimension and interval. An etching velocity inside a region of a circuit pattern feature and etching velocity inside a region of each small mark are practically the same.



COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-102457

(43) 公開日 平成9年(1997)4月15日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027			H 0 1 L 21/30	5 0 2 M
21/68			21/68	F

審査請求 未請求 請求項の数23 O L (全 7 頁)

(21) 出願番号 特願平8-138347

(22) 出願日 平成8年(1996)5月31日

(31) 優先権主張番号 4 5 7 6 7 0

(32) 優先日 1995年6月1日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 三井 正

アメリカ合衆国、ニューヨーク州 12590、

ワッピングース・フォールス、フィールド

ストーン・ブルバード 75

(72) 発明者 稗田 克彦

アメリカ合衆国、ニューヨーク州 12590、

ワッピングース・フォールス、ベル・エア

ー・レーン 24

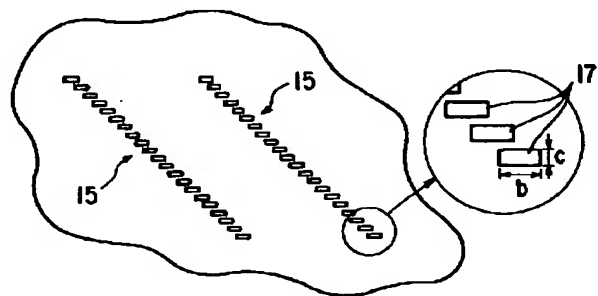
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体集積回路およびその製造方法

(57) 【要約】

【課題】 本発明は、エッチングによって半導体ウエハ上に回路パターン特徴およびフォトリソグラフ・アライメントマークを同時に形成する場合に容易に検出できるアライメントマークを確実に形成すること目的である。

【解決手段】 アライメントマーク15は、複数の小さいマーク17から構成されている複合マークとして形成され、小さいマークは、形状、寸法、および間隔が回路パターン特徴と十分に類似しており、回路パターン特徴の領域内のエッチング速度と、それぞれの小さいマークの領域内のエッチング速度が実質的に同じであることを特徴とする。



【特許請求の範囲】

【請求項 1】 エッチングによって半導体ウエハ上に回路パターン特徴およびフォトリソグラフ・アライメントマークを同時に形成することを具備する半導体集積回路の製造方法であって、前記アライメントマークは、複数の小さいマークから構成されている複合マークとして形成され、前記小さいマークは、形状、寸法、および間隔において前記回路パターン特徴と十分に類似しておりそれにより前記回路パターン特徴の領域内のエッチング速度とそれぞれの小さいマークの領域内のエッチング速度とが実質的に同じであることを特徴とする半導体集積回路の製造方法。

【請求項 2】 前記小さいマークは、回路パターン特徴の領域の 2 倍以下の大きさのエッチング領域を有していることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 3】 前記小さいマークの長さ寸法は、前記回路パターン特徴の長さの 2 倍以下であることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 4】 小さいマークの寸法、形状、および間隔は、回路パターン特徴のものと実質的に同一であることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 5】 前記回路パターン特徴および前記小さいマークは、形状、寸法、および間隔において実質的に同一である深いトレンチを具備していることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 6】 前記深いトレンチは、ほぼ長方形であり、 0.165 乃至 $0.24 \mu\text{m}^2$ のエッチング可能な領域を有していることを特徴とする請求項 5 記載の半導体集積回路の製造方法。

【請求項 7】 回路パターン特徴およびアライメントマークを形成するために、前記深いトレンチをエッチングし、トレンチを半導体材料で充填し、トレンチにおいて半導体材料をエッチバックする共通のステップを含んでいることを特徴とする請求項 5 記載の半導体集積回路の製造方法。

【請求項 8】 前記半導体材料は、ポリシリコンを含む請求項 7 記載の半導体集積回路の製造方法。

【請求項 9】 前記エッチングは、反応性イオンエッチングであることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 10】 アライメントマークは、半導体ウエハのカーフ領域に形成されたアライメントマークであることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 11】 小さいマークは、そのマークの長さに等しい実効的な長さを有している傾斜したハッチ状のマークを生成するように階段状であることを特徴とする請

求項 1 記載の半導体集積回路の製造方法。

【請求項 12】 小さいマークは、複数の隣接した列に配置されて前記アライメントマークを形成することを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 13】 小さいマークは、端部と端部とが対向して 1 列に配置されて前記アライメントマークを形成していることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 14】 エッチングにより形成された回路パターン特徴およびエッチングにより形成されたフォトリソグラフ・アライメントマークとを含み前記アライメントマークは複数の小さいマークから構成されている複合マークとして形成され前記小さいマークは回路パターン特徴の領域の 2 倍以下の大きさのエッチング領域と前記回路パターン特徴の長さの 2 倍以下の長さの寸法とを有している半導体ウエハを具備してなることを特徴とする半導体集積回路。

【請求項 15】 小さいマークの寸法、形状、および間隔は、回路パターン特徴のものと実質的に同一であることを特徴とする請求項 14 記載の半導体集積回路。

【請求項 16】 前記回路パターン特徴および前記小さいマークは、形状、寸法、および間隔において実質的に同一である深いトレンチを具備していることを特徴とする請求項 14 記載の半導体集積回路。

【請求項 17】 前記深いトレンチは、ほぼ長方形であり、 0.165 乃至 $0.24 \mu\text{m}^2$ のエッチング可能な領域を有していることを特徴とする請求項 16 記載の半導体集積回路。

【請求項 18】 前記深いトレンチは、半導体材料で充填され、エッチバックされていることを特徴とする請求項 16 記載の半導体集積回路。

【請求項 19】 前記半導体材料は、ポリシリコンを含んでいることを特徴とする請求項 18 記載の半導体集積回路。

【請求項 20】 アライメントマークは、半導体ウエハのカーフ領域に形成されたアライメントマークであることを特徴とする請求項 14 記載の半導体集積回路。

【請求項 21】 小さいマークは、そのマークの長さに等しい実効的な長さを有している傾斜したハッチ状のマークを生成するように階段状であることを特徴とする請求項 14 記載の半導体集積回路。

【請求項 22】 小さいマークは、複数の隣接した列に配置されて前記アライメントマークを形成していることを特徴とする請求項 14 記載の半導体集積回路。

【請求項 23】 小さいマークは、端部と端部とが対向して 1 列に配置されて前記アライメントマークを形成することを特徴とする請求項 14 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路お

よびその製造方法に関し、特に、例えば、ステッパもしくはスキナ等のフォトリソグラフ露光装置において半導体ウエハとアライメントさせるために用いられるマーク、もしくは半導体ウエハとの合わせずれを測定するためのマークおよびその形成に関する。

【0002】

【従来の技術】本明細書において使用されている“半導体ウエハ”という用語は一般的に、回路パターン、装置および/またはアライメントマーク (alignment marks) を有している基板を含み、複数の個々のチップが形成される半導体基板を意味している。この用語はまた、一般的に製造工程中のもののみならず完成した半導体チップをも含む。

【0003】半導体集積回路を製造するための従来のVLSIフォトリソグラフプロセスにおいて、所望の回路パターンを有するマスクは、像が適切な位置に投影されるのを確実にするために、半導体ウエハもしくは半導体ウエハ上に形成されたパターンと正確にアライメントされなければならない。集積密度を向上させるために、VLSIチップは、一般的に、連続する像投影ステップによって形成される多層構造を採用している。そのような多層構造半導体装置の製造過程におけるフォトリソグラフプロセスにおいて、連続する像を正確にアライメントすることは非常に重要である。

【0004】合わせずれ測定用マークは、連続して投影される回路パターンが相互に関して確実に正確な位置に投影されるようにするために用いられる。明らかに、合わせずれの測定精度は、合わせずれ測定用マークが、検査されるウエハおよび回路パターンといかに正確にアライメントするかに依存する。以下の説明は、主としてフォトリソグラフ用のアライメントマークの形成および検出において生じる問題に焦点を当てているが、合わせずれ測定用マークに関しても同様の問題が存在し、本発明はそのいずれにも適用できるものであることは理解されるであろう。

【0005】マスクとウエハとのアライメントを得るために、マークが、マスクとウエハのそれぞれの周辺 (カーフ kerf) 領域に位置される。これらのマークは、マスクとウエハの正確な相対的位置を確認するために露光装置のフォト・オブチカル (photo-optical) 検出器によって検出される。その後、ウエハおよびマスクを適切にアライメントするために高精度ステージの計測システムが使用される。

【0006】アライメントマークは、使用されるフォト・オブチカル (photo-optical) 検出システムの型式に依存して、種々の形状、パターンおよび形態で与えられている。マスク・ウエハアライメントマークおよびシステムは、例えば、Ayata 等による米国特許第4,794,648号、Tanimoto等による同第4,769,523号、Matsuura等による同第4,723,221号、Matsuura等による同第4,702,60

6号、Murakami等による同第4,655,598号、Matsuura等による同第4,566,795号、Imahashi等による同第4,441,250号、Nakazawa等による同第4,423,959号、Imahashi等による同第4,377,028号、Suwa等による同第4,390,279号、Suzuki等による同第4,315,201号等の明細書に記載されている。

【0007】アライメントマークは、例えばクロム等の材料の層が基板上に付着される付加的方法、もしくは、基板を直接エッチングすることによってマークが形成される除去的方法によってウエハ上に形成されることができ。プロセスの工程数を減少させ、それによって、生産効率を高めるために、アライメントマークを形成する工程を所望の回路パターンを形成するために使用される工程と組み合わせることが望ましい。従って、例えば、容量性素子としてあるいは装置の分離用として用いられる深いトレンチの形成のためのプロセスにおいて、深いトレンチは、選択的反応性イオンエッチング (RIE) によって形成される。この工程において、順次適用されるマスクまたは合わせずれ測定用マークのアライメントのために用いられるアライメントマークをエッチングすることも可能である。これは、回路素子を形成するために使用されるマスクおよびレジストパターンに、例えばウエハのカーフ領域等にアライメントマークを形成するための付加的なパターンを含ませることによって達成される。

【0008】スキナもしくはステッパのフォト・オブチカル検出器による適切な検出および位置確認を確実にするために、一般的にVLSI回路設計の設計基準よりも実質的に大きいアライメントマークをチップ上に設けることが必要である。例えば、256MのDRAMの設計基準によれば、深いトレンチは、一般的に0.55乃至0.8 μm ×0.3 μm の長方形であり、0.165乃至0.24 μm^2 のエッチング可能な領域を設ける。深いトレンチのアレイを具備しているDRAM回路パターン1が図1に示されている。一般的に、深いトレンチは、互いに約0.25 μm の間隔を隔てられている。一方、深いトレンチ (DT) のレベルで形成された通常のアライメントマークは、図2に示されているように、一般的に0.5乃至1.4 μm の幅と70 μm の長さを有する細長い線状の穴3を有しており、それにより35乃至98 μm^2 のより大きいエッチング可能な領域を設けている。各アライメントマーク対のアライメントマークは、一般的に互いに約10 μm 間隔を隔てられている。

【0009】単一の反応性イオンエッチング工程によりアライメントマークおよび深いトレンチを同時に形成するとき、マークを適切に検出することに関してある問題が生じる。本発明者によって知見されたこの問題は、深いトレンチがポリシリコンで充填され、その後、エッチバックされるようなDRAMチップの深いトレンチの容量性素子を形成する場合において特に深刻になる。すな

わち、トレンチへのポリシリコンの充填は、一般的に、化学的蒸着（CVD）等によってレジストパターン層上にポリシリコンを全面に蒸着することによって達成される。この工程に続いて、化学的機械的研磨（CMP）が行われ、それによって、表面を平坦にし、また、深いトレンチの外部領域から過剰なポリシリコンを除去する。このプロセスにおいて、アライメントマークを形成するために用いられる細長い穴もまたポリシリコンで充填され、そのポリシリコンは、CMP処理後にも残存する。それに続くRIEプロセスは、深いトレンチ内でポリシリコンをシリコン基板の表面よりもわずかに下方の位置（例えば、50nm）までエッチバックするために行われる。このエッチバック工程は、アライメントマークに関しても同時に行われる。しかしながら、アライメントマークの領域内での、ポリシリコンをエッチバックした深さは、検出装置によってマークを適切に検出するには不十分である。

【0010】例えば、図3に示されているように、深いトレンチ5内におけるポリシリコンのエッチバックは、SiN膜7および薄い酸化膜を貫通して半導体基板の表面から下方の所望の距離“a”（例えば50nm）まで行われる。一方、アライメントマーク領域9内のポリシリコンのエッチバックの結果は著しく浅く、マーク領域9内のポリシリコンの表面レベル11は、シリコン基板の表面13とほぼ同じ高さのままである。

【0011】ゲート導電体（GC）と深いトレンチ（DT）のレベルのアライメントを含むある試験では、10ロットのうちの2つのロットにおいて適切なDTアライメント用信号が生成されなかった。図3に示されているように、マークのエッチングの深さを不十分なものにする1つの要因は、CMP研磨の後にできるマーク領域と回路パターン（セル）との間のSiN層7の厚さにおける差（A-B）であった。しかしながら、このことは、不十分なエッチングの深さの問題を十分に理由づけるものではない。

【0012】

【発明が解決しようとする課題】上述の事情の下では、アライメントは、エッジもしくはステップの高さによりトリガされる従来のフォトリソグラフィ検出器では、確実には検出することはできない。その結果として、マスクおよび／または合わせずれ測定用マークの正確なアライメントを確実にすることはできない。

【0013】本発明の目的は、確実に検出することのできるアライメントマークもしくは合わせずれ測定用マークを半導体ウエハ上に形成する試みに関連した前述の問題を解消することである。

【0014】本発明の他の目的は、回路パターン特徴を形成するプロセスにおいても用いられるエッチング工程を使用した、容易に検出できるアライメントマークの形成を確実にする製造技術を提供することである。

【0015】本発明の他の目的は、エッチング工程において、マイクロローディング効果によるエッチングを不完全なものにすることのないアライメントマークの形態を使用する半導体集積回路の製造プロセスを提供することである。

【0016】本発明のさらに他の目的は、ポリシリコンが充填されてエッチバックされた深いトレンチを含むセル領域と、通常のフォトリソグラフィ検出器を使用して容易に検出されるアライメントマークを含む例えばカーフ等のアライメントマーク領域とを確実に同時に形成できるようにする技術を提供することである。

【0017】

【課題を解決するための手段】本発明のこれらおよびその他の目的は、エッチングによって半導体ウエハ上に回路パターン特徴およびフォトリソグラフィ・アライメントマークを同時に形成することを含む半導体集積回路の製造プロセスによって、本発明の第1の見地に従って達成される。すなわち、本発明の半導体集積回路の製造方法は、エッチングによって半導体ウエハ上に回路パターン特徴およびフォトリソグラフィ・アライメントマークを同時に形成することを具備する半導体集積回路の製造方法であって、前記アライメントマークは、複数の小さいマークから構成されている複合マークとして形成され、前記小さいマークは、形状、寸法、および間隔において前記回路パターン特徴と十分に類似しており、前記回路パターン特徴の領域内のエッチング速度と、それぞれの小さいマークの領域内のエッチング速度が実質的に同じであることを特徴とする。アライメントマークは、複数の小さいマークを具備している複合マークとして形成される。小さいマークは、形状、寸法、および間隔において回路パターン特徴に十分に類似しているため、回路パターン特徴の領域内のエッチング速度とそれぞれの小さいマークの領域内のエッチング速度は、実質的に同じである。

【0018】本発明はまた、エッチングされた回路パターン特徴およびエッチングされたフォトリソグラフィ・アライメントマークを含む半導体ウエハを具備する半導体集積回路にも適用される。すなわち、本発明の半導体集積回路は、エッチングにより形成された回路パターン特徴およびエッチングにより形成されたフォトリソグラフィ・アライメントマークとを含み前記アライメントマークは複数の小さいマークから構成されている複合マークとして形成され前記小さいマークは回路パターン特徴の領域の2倍以下の大きさのエッチング領域と前記回路パターン特徴の長さの2倍以下の長さの寸法とを有している半導体ウエハを具備してなることを特徴とする。各小さいマークは、回路パターン特徴の領域の2倍以下の大きさのエッチング領域と、回路パターン特徴の長さの2倍以下の長さ寸法を有している。本発明のこれらおよびその他の目的、特徴、および利点は、以下の好ましい実施

の形態の詳細な説明から明確かつ十分に理解されるであろう。

【0019】

【発明の実施の形態】図3において示されている不十分な深さのエッチングに影響する大きな要因は、アライメントマークの形態に関係していることが本発明の発明者によって知見された。詳しく説明すると、マーク領域において生じるエッチングの深さが浅いのは、エッチング領域およびアライメントマークの間隔が比較的大きいためであることが本発明の発明者によって知見された。マイクロローディング効果によって比較的大きく、幅広い間隔を隔てられて（分離されて）いるアライメントマークのエッチングは、比較的小さく、狭い間隔を隔てられた深いトレンチのエッチングと比較して著しく低い速度でエッチングされることが本発明の発明者によって認識された。エッチング時間は、深いトレンチ内で要求されるエッチングの深さと、深いトレンチのセルアレイにおいて得られたSEM（Scanning Electron Microscope 走査型電子顕微鏡）データとに基づいて正確に制御されるので、マーク領域における深さの浅いエッチングによって、結果的にアライメントマークは検出不可能となってしまう。

【0020】この場合において観察されたマイクロローディング効果は、エッチング速度がエッチング領域の寸法の増大に伴って増大するという一般的に知られているマイクロローディング現象とは逆である。逆の効果となる理由は完全には解明されていないが、以下のことは1つの考えられる説明である。すなわち、反応性イオンエッチングの期間中に、化学的副産物の形成により同時にエッチング表面において付着現象が発生する。そのような付着は、エッチングのプロセスを抑制する。直径が小さいトレンチの底部では、高いアスペクト比のために付着は容易には起こらない。一方、アライメントマークの比較的大きいエッチング領域において付着はより容易に生じ、それによって、そこにおけるエッチング速度はより遅くなる。

【0021】上述の問題を解決するために、マスクもしくは合わせずれ測定用のアライメントマークは、同じプロセスステップで形成されるべき回路パターン特徴の形態に基づいた形状、寸法、および相互間隔の小さいマークのパターン（アレイ）から形成される。従って、例えば、ポリシリコンが充填され、かつエッチバックされた深いトレンチのアレイを具備している回路パターンの場合、アライメントマークは、深いトレンチと同じであるか、もしくは実質的に同じ形状、寸法、および間隔を有している小さなマークのアレイからなる複合マークとして形成される。この方法において、通常のアライメントマークのような所望の全体の形状および寸法を有しているマークを形成することができる。同時に、通常のマ

ークの形状、寸法、および間隔に対応する複数の小さいエッチング領域にされる。結果的に、マーク領域内のポリシリコンのRIEエッチバックは、回路パターン領域における速度と同じ速度で行われる。従って、図3に示されているような深さの浅いエッチングの問題を生じることなしに回路パターン（例えば、セルもしくは周辺回路領域）の要求に合わせるができる。

【0022】本発明の例示的な複合アライメントマークは、図4乃至6に示されている。図4中の拡大図において明確に示されているように、各アライメントマーク15は、回路パターン特徴に応じて設定される狭い間隔を隔てられた複数の小さいマーク17を具備している。例示的な実施の形態において、小さいマーク17は、“b”×“c”の寸法を有するほぼ長方形の穴を具備しており、エッチング領域は、実質的にDRAMチップの回路パターンのセル領域における深いトレンチに対応する。小さいマーク17は、関連する（同時に形成される）回路パターン特徴、例えば、深いトレンチ等、と形状および寸法において同一であることが好ましい。従って、回路パターンの深いトレンチが0.8μmの長さ、0.3μmの幅と、0.24μm²のエッチング領域を有している場合、小さいマーク17もこれらの寸法を有していることが好ましい。好ましい実施の形態の256MのDRAM設計基準によれば、深いトレンチは、ほぼ0.55乃至0.8μm×0.3μmの長方形を有しており、それによって、0.165乃至0.24μm²のエッチング可能な領域が設けられる。

【0023】小さいアライメントマーク17の寸法および形状が、関連する回路パターン特徴から多少ずれても、エッチング特性がそれによって著しく影響を受けない限り、許容される。例えば、深いトレンチが前述のような寸法を有している場合には、アライメントマーク15を構成している小さいマーク17は、一辺が0.5μmの正方形として構成され、従って、0.25μm²のエッチング領域を有していてもよい。許容可能な変化幅は、実験により、異なる形状および寸法の回路パターン特徴におけるエッチング速度を測定し、どのようなエッチング速度差がマーク領域におけるエッチング深さを浅くするかを調べることによって決定される。

【0024】一般的には、小さいマーク17のエッチング領域は、例えば深いトレンチ等の、関連する回路特徴のエッチング領域の2倍を超えてはならない。加えて、小さいマーク17の長さの寸法は、深いトレンチの長さの2倍以上にはならない。

【0025】小さいマーク17は、パターン密度が関連する回路パターンと実質的に同じになるように互いに狭い間隔を設けられることが好ましい。間隔の許容可能な変化幅は、実験により、異なる間隔におけるエッチング速度を測定し、どのようなエッチング速度差がマーク領域におけるエッチング深さを浅くするかを調べることによ

って決定される。上述のような正方形のマークの場合において、間隔は、マーク一辺の長さに等しいか、もしくは、それより小さく、または大きくできる。小さいマーク17の各パターンは、検出装置において単一の大きいマークとして検出される必要がある。従って、小さいマーク17の許容可能な間隔の変化幅は、検出装置の検出能力にも依存している。

【0026】小さいマーク17は、アライメントマークの所望の全体の形状に依存して種々のパターンに配置されることができる。例えば、図4に示されているように、小さいマーク17は、小さいマーク17の長さ“b”に等しい実効幅を有する傾斜線状もしくはハッチ状マーク15を生成するために縦方向に階段状に配置されている。あるいは、図5に示されているように、端と端を対向して配置された小さいマーク17'の複数の隣接した列は、広い幅を有するマーク15'を形成する。図6の配置において、端と端を対向して配置された1列の小さいマーク17'は、小さいマーク17'の幅“c”と等しい幅を有する1対のアライメントマーク15'を形成する。

【0027】以上、本発明は、好ましい例示的な実施の形態に関連づけて説明されてきたが、本発明の特許請求の範囲に記載された技術的範囲内で、他の種々の実施の形態、変更、および特徴がこの開示の内容に関して当業者によって実施され得ることは当然である。

【0028】

【発明の効果】以上述べたようにこの発明によれば、確実に検出することのできるアライメントマークおよび*

*または合わせずれ測定用マークを容易に半導体ウエハ上に形成することができる。

【図面の簡単な説明】

【図1】深いトレンチのアレイが形成されている従来技術の半導体ウエハの回路パターン（セル）領域の部分的上面図。

【図2】1対の通常のアライメントマークが形成されている従来技術の半導体ウエハのアライメントマーク領域（例えば、カーブ領域等）の部分的上面図。

10 【図3】本発明によって考察された深さの浅いエッチングの問題を示している、深いトレンチおよび通常のマスクのアライメントマークを具備している従来技術の半導体ウエハの部分的に断面で示した斜視図。

【図4】本発明の一実施の形態に係る、複合アライメントマークが形成されている半導体ウエハのアライメントマーク領域の部分的上面図。

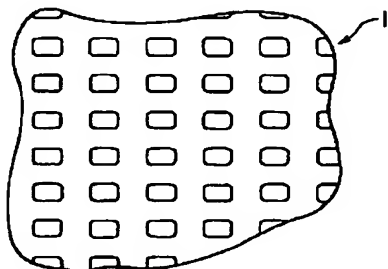
【図5】本発明の他の実施の形態に係る、複合アライメントマークが形成された半導体ウエハのアライメントマーク領域の部分的上面図。

20 【図6】本発明のさらに他の実施の形態に係る、複合アライメントマークが形成された半導体ウエハのアライメントマーク領域の部分的上面図。

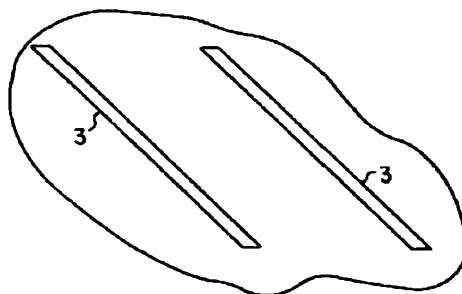
【符号の説明】

1…回路パターン、3…アライメントマーク、5…深いトレンチ、7…SiN膜、9…アライメントマーク領域、15、15'、15''…アライメントマーク、17、17'、17''…小さいマーク

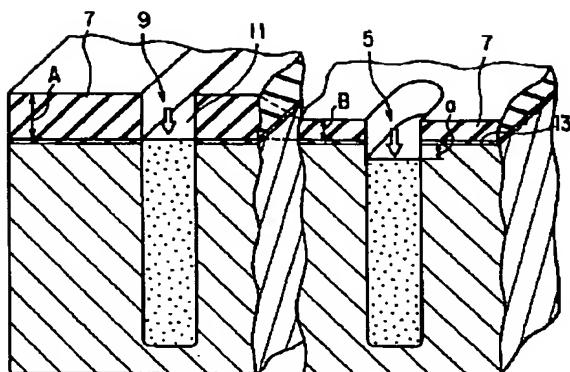
【図1】



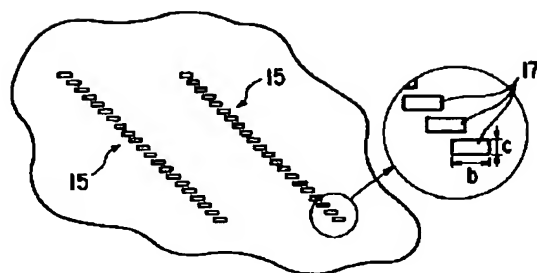
【図2】



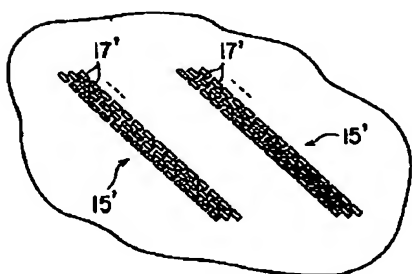
【図3】



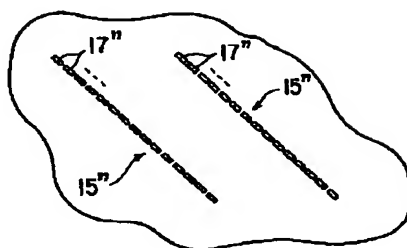
【図4】



【図5】



【図6】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 13 年 8 月 17 日 (2001. 8. 17)

【公開番号】特開平 9-102457
 【公開日】平成 9 年 4 月 15 日 (1997. 4. 15)
 【年通号数】公開特許公報 9-1025
 【出願番号】特願平 8-138347
 【国際特許分類第 7 版】

H01L 21/027
 21/68

【F I】

H01L 21/30 502 M
 21/68 F

【手続補正書】

【提出日】平成 12 年 9 月 14 日 (2000. 9. 14)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 エッチングによって半導体ウエハ上に回路パターン特徴およびフォトリソグラフ・アライメントマークを同時に形成することを具備する半導体集積回路の製造方法であって、前記アライメントマークは、複数の小さいマークから構成されている複合マークとして形成され、前記小さいマークは、形状、寸法、および間隔において前記回路パターン特徴と十分に類似しておりそれにより前記回路パターン特徴の領域内のエッチング速度とそれぞれの小さいマークの領域内のエッチング速度とが実質的に同じであることを特徴とする半導体集積回路の製造方法。

【請求項 2】 前記小さいマークは、回路パターン特徴の領域の 2 倍以下の大きさのエッチング領域を有していることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 3】 前記小さいマークの長さ寸法は、前記回路パターン特徴の長さの 2 倍以下であることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 4】 小さいマークの寸法、形状、および間隔は、回路パターン特徴のものと実質的に同一であることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 5】 前記回路パターン特徴および前記小さいマークは、形状、寸法、および間隔において実質的に同一である深いトレンチを具備していることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 6】 前記深いトレンチは、ほぼ長方形であり、 0.165 乃至 $0.24 \mu\text{m}^2$ のエッチング可能な領域を有していることを特徴とする請求項 5 記載の半導体集積回路の製造方法。

【請求項 7】 回路パターン特徴およびアライメントマークを形成するために、
 前記深いトレンチをエッチングする工程と、
 トレンチを半導体材料で充填する工程と、
 トレンチにおいて半導体材料をエッチバックする工程とを含んでいることを特徴とする請求項 5 記載の半導体集積回路の製造方法。

【請求項 8】 前記半導体材料は、ポリシリコンを含む請求項 7 記載の半導体集積回路の製造方法。

【請求項 9】 前記エッチングは、反応性イオンエッチングであることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 10】 アライメントマークは、半導体ウエハのカーブ領域に形成されたアライメントマークであることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 11】 小さいマークは、そのマークの長さに等しい実効的な長さを有している傾斜したハッチ状のマークを生成するように階段状であることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 12】 小さいマークは、複数の隣接した列に配置されて前記アライメントマークを形成することを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 13】 小さいマークは、端部と端部とが対向して 1 列に配置されて前記アライメントマークを形成していることを特徴とする請求項 1 記載の半導体集積回路の製造方法。

【請求項 14】 エッチングにより形成された回路パターン特徴およびエッチングにより形成されたフォトリソグラフ・アライメントマークとを含み前記アライメント

マークは複数の小さいマークから構成されている複合マークとして形成され前記小さいマークは回路パターン特徴の領域の2倍以下の大きさのエッチング領域と前記回路パターン特徴の長さの2倍以下の長さの寸法とを有している半導体ウエハを具備してなることを特徴とする半導体集積回路。

【請求項15】 小さいマークの寸法、形状、および間隔は、回路パターン特徴のものと実質的に同一であることを特徴とする請求項14記載の半導体集積回路。

【請求項16】 前記回路パターン特徴および前記小さいマークは、形状、寸法、および間隔において実質的に同一である深いトレンチを具備していることを特徴とする請求項14記載の半導体集積回路。

【請求項17】 前記深いトレンチは、ほぼ長方形であり、 0.165 乃至 $0.24\mu\text{m}^2$ のエッチング可能な領域を有していることを特徴とする請求項16記載の半導体集積回路。

【請求項18】 前記深いトレンチは、半導体材料で充

填され、エッチバックされていることを特徴とする請求項16記載の半導体集積回路。

【請求項19】 前記半導体材料は、ポリシリコンを含んでいることを特徴とする請求項18記載の半導体集積回路。

【請求項20】 アライメントマークは、半導体ウエハのカーフ領域に形成されたアライメントマークであることを特徴とする請求項14記載の半導体集積回路。

【請求項21】 小さいマークは、そのマークの長さに等しい実効的な長さを有している傾斜したハッチ状のマークを生成するように階段状であることを特徴とする請求項14記載の半導体集積回路。

【請求項22】 小さいマークは、複数の隣接した列に配置されて前記アライメントマークを形成していることを特徴とする請求項14記載の半導体集積回路。

【請求項23】 小さいマークは、端部と端部とが対向して1列に配置されて前記アライメントマークを形成することを特徴とする請求項14記載の半導体集積回路。